



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0057884
Application Number PATENT-2002-0057884

출원 년 월 일 : 2002년 09월 24일
Date of Application SEP 24, 2002

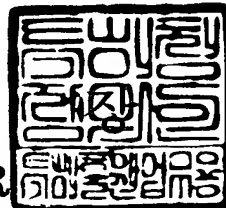
출원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.24
【발명의 명칭】	반도체 소자의 실리사이드막 형성방법
【발명의 영문명칭】	METHOD FOR FORMING SILICIDE FILM OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이응준
【성명의 영문표기】	LEE, Eung Joon
【주민등록번호】	700402-1030639
【우편번호】	442-809
【주소】	경기도 수원시 팔달구 영통동 955-1 황골마을 주공1단지 122동 2002 호
【국적】	KR
【발명자】	
【성명의 국문표기】	박인선
【성명의 영문표기】	PARK, In Sun
【주민등록번호】	610515-1551717
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 519-206
【국적】	KR
【발명자】	
【성명의 국문표기】	박지순
【성명의 영문표기】	PARK, Ji Soon
【주민등록번호】	680419-1466912

【우편번호】	442-470		
【주소】	경기도 수원시 팔달구 영통동 청명마을 건영1차아파트 426-703		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	589,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【명세서】

【발명의 명칭】

반도체 소자의 실리사이드막 형성방법{METHOD FOR FORMING SILICIDE FILM OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 의한 반도체 소자의 평면도이다.

도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 의한 반도체 소자의 제조방법에 대한 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 액티브 영역 120 : 필드 영역

200 : 기판 210 : 필드 산화막

220a : 제1 게이트 산화막 220b : 제2 게이트 산화막

230a : 제1 게이트 전극 230b : 제2 게이트 전극

240a : 제1 게이트 스페이서 240b : 제2 게이트 스페이서

250 : 소오스/드레인 영역 255 : 비정질화 소오스/드레인 영역

258 : 언더컷 260 : 금속막

270 : 금속 실리사이드막 278 : 절연막

280 : 제1 콘택홀 290 : 제2 콘택홀

280a : 제1 콘택 플러그 290a : 제2 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 소자의 실리사이드막 형성방법에 관한 것으로, 보다 상세하게는 접촉 저항을 낮추는 반도체 소자의 실리사이드막 형성방법에 관한 것이다.
- <15> 급속도로 발전하는 정보화 사회에 있어서 대량의 정보를 보다 빠르게 처리하게 위해 데이터 전송속도가 높은 고집적 디바이스가 요구되고 있다. 따라서, 다층으로 형성된 초미세의 패턴이 요구되고 있다. 상기와 같이 패턴을 다층으로 형성함으로써 상기 층간 패턴들을 전기적으로 연결시키기 위해 콘택(contact)이 필요하다. 소자의 집적도가 증가할수록 상기 층간 패턴들을 연결하는 콘택 윈도우 사이즈가 작아진다. 때문에, 콘택이 형성되는 부위에 기존에 사용하던 폴리실리콘(poly-silicon)등을 사용하면 콘택저항이나 시트저항(sheet resistance)이 높아 고속동작을 기대하기 어렵고 전력소비의 문제가 발생하게 된다.
- <16> 상기한 이유로, 콘택이 형성되는 액티브(active) 영역들 즉 소오스(source)와 드레인(drain) 영역을 금속과 실리콘의 화합물인 금속 실리사이드(silicide)층으로 형성하는 방법이 알려져 있다. 상기 실리사이드층을 형성하는 공정을 실리사이드레이션(silicidation) 공정이라 한다. 상기 실리사이드레이션 공정은 티타늄(Ti), 니켈(Ni), 코발트(Co)와 같은 금속 물질을 증착한 후 열처리하면, 하지막에 실리콘 원소가 존재하는 경우 티탄-실리사이드, 니켈-실리사이드 또는 코발트-실리사이드를 형성하도록 하는 공정이다. 0.25 마이크로미터 급의 디자인 룰(design rule)을 갖는 반도체 장치에서는 게

이트의 임계 치수(critical dimension; CD)에 대한 의존성이 적은 코발트 실리사이드가 주로 사용되고 있다. 미국 특허 6,303,503(Abu-Hena et al.)에 코발트 실리사이드 형성 방법이 개시되어 있다.

<17> 일반적으로, 코발트 실리사이드레이션 공정은 트랜지스터(transistor)가 형성된 기판 상에 실리사이드막을 형성할 영역을 정의하고 상기 기판 상의 불순물 및 자연 산화막 등을 제거하기 위한 통상의 습식 세정 공정을 실시한 후, 상기 결과물을 고주파 스퍼터(Radio Frequency Sputter; RF sputter, 이하, "RF 스퍼터"라 한다.) 설비의 챔버에 넣는다. 상기 결과물의 이동 중에 재 생성될 수 있는 자연 산화막 및 상기 습식 세정으로 제거되지 않는 불순물 등을 제거하거나 모폴로지를 개선하기 위하여 RF 플라즈마 식각을 실시한 후, 인-시튜(in-situ)로 상기 실리콘 기판 상에 코발트(Co) 층을 스퍼터링 방법으로 증착한다. 상기 코발트 층이 증착된 결과물을 열처리하여 실리콘과 접촉하고 있는 게이트 전극 및/또는 액티브 영역에만 추후 공정으로 형성될 금속층과 용이하게 접촉하기 위한 코발트 실리사이드막을 형성한다.

<18> 그러나, 디자인 룰이 축소되어 초집적도의 소자를 제작하게 되면서, 실리사이드막을 형성할 수 있는 공정 상의 여유(margin)가 극소화되고 있다. 따라서, 안정적으로 실리사이드막을 형성하는 것에 많은 제약이 따르게 된다. 예컨대, 상기 습식 세정으로 인해 산화막이 식각되어 필드 영역에 형성된 게이트 전극의 하부에 언더 컷(under-cut)이 발생한다. 상기 결과물을 RF 스퍼터로 식각하게 되면, 게이트 전극 및 기판의 실리콘이 스퍼터링되어 상기 스페이서 및 게이트 전극 하부의 언더 컷이 형성된 영역과 같은 절연 영역에 실리콘이 잔류하게 된다.

<19> 따라서, 상기 결과물 상에 실리사이드레이션 공정을 진행하면, 상기 스페이서 및 게이트 전극 하부를 따라 실리사이드막이 형성되어 쇼트성 불량 발생하게 된다. 즉, 자기 정렬 콘택(self aligned contact; SAC) 패드를 형성하거나, 콘택홀 형성 도중 미스 얼라인(mis-align)이 발생하게 되면, 상기 스페이서에 형성된 실리사이드막에 의해 쇼트(short)가 발생하게 된다. 뿐만 아니라, 액티브 영역 및 필드 영역에 걸쳐 게이트 전극이 형성되면 상기 게이트 전극 하부를 따라 형성된 실리사이드막으로 인해 누설전류(leakage current)가 발생하거나 쇼트가 발생하게 된다.

<20> 따라서, 소자의 동작 속도가 저하되어 성능이 저하될 뿐만 아니라, 오작동을 유발하여 소자의 신뢰성 및 생산성을 저하시키게 된다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서, 본 발명의 제1목적은, 성능이 향상된 반도체 소자의 실리사이드막 형성방법을 제공하는 것이다.

<22> 본 발명의 제2목적은, 성능이 향상된 반도체 소자의 실리사이드막 형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 제1 목적을 달성하기 위한 본 발명은, 반도체 기판에 상부면이 실리콘으로 이루어진 도전성 패턴 및 도전 영역을 형성하는 단계, 상기 결과물 상의 불순물을 제거하고 실리콘으로 이루어진 도전 영역의 표면을 균일화하기 위해 익스 시츄로 고주파 식각하는 단계, 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거하는 단계, 상기 세정

된 결과물 상에 금속물을 증착하는 단계 및 상기 금속물과 실리콘을 반응시켜 실리사이드막을 형성하는 단계를 포함한다.

<24> 상기 제2목적 달성을 위한 본 발명은, 반도체 기판에 액티브 영역 및 필드 영역을 정의하는 단계, 상기 액티브 영역 및 필드 영역에 걸쳐 게이트 전극을 형성하는 단계, 상기 액티브 영역의 게이트 전극 양쪽 하부 기판 영역에 이온 주입법에 의해 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극 양측벽에 스페이서를 형성하는 단계, 상기 결과물을 익스 시츄로 고주파 식각하여 상기 소오스/드레인의 실리콘을 균일하게 비정질화시키는 단계, 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거하는 단계, 상기 세정된 결과물 상에 금속물 및 산화방지막을 증착하는 단계, 상기 금속물과 실리콘을 1차 열처리하여 실리사이드막을 형성하는 단계, 상기 1차 열처리에 의해 반응하지 않은 미반응 금속물 및 산화방지막을 제거하는 단계 및 상기 실리사이드막을 2차 열처리하여 저항을 낮추고 안정화시키는 단계를 포함한다.

<25> 이와 같이 고주파 스퍼터링을 한후, 습식 세정 공정을 진행함으로써, 금속 실리사이드막을 안정적으로 균일하게 형성하여 소자의 성능을 향상시킬 수 있다.

<26> 이하, 본 발명을 상세하게 설명하고자 한다.

<27> 상기 제1 목적을 달성하기 위한 본 발명은, 반도체 기판에 상부면이 실리콘으로 이루어진 도전성 패턴 및 도전 영역을 형성한다. 상기 도전 영역은 액티브 영역이며, 상기 도전 영역이 정의된 기판에는 선택적으로 실리사이드 저지막을 형성할 수 있다. 상기 결과물 상에 존재하는 자연산화막을 HF 계열의 세정액을 사용하여 제거할 수 있다.

- <28> 상기 결과물 상의 불순물을 제거하고 실리콘으로 이루어진 도전 영역의 표면 성질을 개선시키기 위해 익스 시츄로 고주파 식각한다. 상기 고주파 식각은 상기 실리콘을 균일하게 비정질화시키도록 DC 바이어스 -100V 이하의 저전압에서 실행한다. 이때, 실리콘이 소자로부터 재 식각되는 것을 방지하기 위해 아르곤 분위기에서 진행한다.
- <29> 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거한다. 상기 세정은 HF 및 암모니아과수를 포함하는 물질을 조합하여 이루어지며 자연산화막 및 스퍼터링된 실리콘을 제거한다.
- <30> 상기 세정된 결과물 상에 금속물을 증착한다. 상기 금속물은 코발트, 텅스텐 및 니켈일 수 있다. 상기 금속물 상에는 TiN으로 이루어진 산화방지막을 형성할 수 있다. 상기 금속물과 실리콘을 반응시켜 실리사이드막을 형성한다. 상기 실리사이드막은 2번의 열처리에 거쳐 형성되며, 상기 금속물과 실리콘을 반응시키고 반응되지 않은 미반응 금속물은 제거한다. 이때, 상기 미반응 금속물은 과산화수소수 및 황산 계열의 물질을 조합한 용액으로 제거한다.
- <31> 상기 제2 목적을 달성하기 위한 본 발명은, 반도체 기판에 액티브 영역 및 필드 영역을 정의하고, 상기 액티브 영역 및 필드 영역에 걸쳐 게이트 전극을 형성한다. 상기 액티브 영역의 게이트 전극 양쪽 하부 기판 영역에 이온 주입법에 의해 소오스/드레인 영역을 형성하고, 상기 게이트 전극 양측벽에 스페이서를 형성한다.
- <32> 상기 결과물을 익스 시츄로 고주파 식각하여 상기 소오스/드레인의 실리콘을 균일하게 비정질화시키고, 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거한다. 상기 세정된 결과물 상에 금속물 및 산화방지막을 증착하고, 상기 금속물과 실리콘을 1차 열처리하여 실리사이드막을 형성한다. 상기 1차 열처리에 의해 반응하지 않은 미반응 금속

【요약서】**【요약】**

반도체 소자의 실리사이드막 형성방법에 개시되어 있다. 반도체 기판에 상부면이 실리콘으로 이루어진 도전성 패턴 및 도전 영역을 형성하고, 상기 결과물 상의 불순물을 제거하고 실리콘으로 이루어진 도전 영역의 표면 성질을 개선시키기 위해 익스 시츄로 고주파 식각한다. 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거하고, 상기 세정된 결과물 상에 금속물을 증착한다. 상기 금속물과 실리콘을 반응시켜 실리사이드막을 형성한다. 이와 같이 고주파 스퍼터링을 한후, 습식 세정 공정을 진행함으로써, 금속 실리사이드막을 안정적으로 균일하게 형성할 수 있도록 처리할 수 있다.

【대표도】

도 2d

물 및 산화방지막을 제거하고, 상기 실리사이드막을 2차 열처리하여 저항을 낮추고 안정화시킨다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<34> 도 1은 본 발명의 바람직한 실시예에 의한 반도체 소자의 평면도이다.

<35> 도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 의한 반도체 소자의 제조방법에 대한 단면도이다.

<36> 도 1 및 도 2a를 참조하면, 실리콘 기판(200)상에 통상의 셀로우 트렌치 분리(Shallow Trench Isolation:STI, 이하, "STI"라고 한다.) 공정에 의해 필드 산화막(210)을 형성하여 액티브 영역(100) 및 필드 영역(120)을 정의한다. 상기 기판 상에 산화막 및 폴리실리콘을 증착하고, 상기 폴리 실리콘을 고농도의 N형으로 도핑시킨다. 상기 폴리 실리콘 상에 포토 레지스트(Photo Resist)를 도포한 후, 통상의 사진 식각 공정을 통해 일부 영역의 폴리 실리콘이 노출되도록 패터닝하여 폴리실리콘 패턴(미도시)을 형성한다. 상기 포토 레지스트 패턴을 식각 마스크로 하여 상기 노출된 폴리 실리콘을 상기 기판의 상부면이 노출되도록 식각한 후, 포토 레지스트 패턴을 제거하여 제1 및 제2 게이트 산화막(220a, 220b) 및 제1 및 제2 게이트 전극(230a, 230b)을 형성한다. 이때, 상기 게이트 전극은 액티브 영역(100) 및 필드 영역(120)에 걸쳐 형성된다. 따라서, A 방향의 단면으로 노출되는 액티브 영역(100)에 형성된 제1 게이트 전극(230a) 및 B 방향의 단면으로 노출되는 필드 영역에 형성된 제2 게이트 전극(230b)으로 구분된다.

- <37> 이어서, 이온주입(Ion ImPlantation:IIP, 이하, "IIP"라고 한다.) 공정을 통해 상기 제1 게이트 전극(230a) 양측의 기판 표면에 소오스/드레인 영역(250)을 형성한다. 상기 제1 및 제2 게이트 전극(230a, 230b)을 포함하여 기판(200) 상에 실리콘 옥사이드나 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 제1 및 제2 게이트 전극(230a, 230b)의 측벽 상에 제1 및 제2 게이트 스페이서(240a, 240b)를 형성한다.
- <38> 이때, 상기 스페이서들(240a, 240b)과 비슷한 성질의 물질로 이루어진 필드 산화막(210)은 상기 이방성 식각에 의해 상부로부터 일부 식각됨으로서 필드 산화막(210) 상에 형성된 제2 게이트 전극(230b)이 상대적으로 돌출되도록 형성된다.
- <39> 도 2b를 참조하면, 상기 게이트 전극들(230a, 230b)을 포함한 기판(200) 전면에 버퍼층(미도시) 및 실리사데이션 저지층(silicidation blocking layer:SBL, 이하, "SBL"라고 한다.)(미도시)을 형성한다. 상기 버퍼층은 후속의 SBL 식각공정시 상기 버퍼층 하부의 실리콘 기판 및 필드 산화막의 침식을 방지하는 역할을 한다. 통상의 사진 식각 공정에 의해, 실리사이드막 형성이 불필요한 영역에는 실리사이드이션을 저지하기 위해 SBL 패턴(미도시)이 형성되고, 상대적으로 전기적 전송 속도를 증가시키기 위한 영역의 게이트 전극 및 소오스/드레인 영역은 상기 SBL 패턴에 의해 노출된다. 상기 과정을 거치면서 결과물 상에 형성된 자연산화막은 HF를 포함하는 세정액을 이용하여 제거할 수 있다.
- <40> 상기 일련의 과정을 거치면서 상기 결과물 상에는 자연산화막이 존재할 뿐 아니라, 습식 세정에 의해 제거되지 않는 폴리머 잔유물과 같은 불순물이 존재한다. 또한, 상기 소오스/드레인 영역을 형성하기 위한 이온주입법에 의해, 부분적으로 상기 소오스/드레인 영역의 표면은 손상을 입게 된다. 때문에, 후속에 금속물을 증착하고 실리사이드막을

형성하여도 상기 산화막 이나, 불순물로 인해 실리사이드막이 균일하게 형성되지 못하고 부분적으로 끊기는 현상이 발생하여 불량이 발생하거나, 전기적 성질이 균일하지 못하게 된다.

<41> 상기 불순물을 제거하고, 상기 소오스/드레인의 표면을 균일하게 비정질화시키기 위해 익스-시츄(ex-situ)로 RF 스퍼터링을 시행한다. 따라서, 비정질화 소오스/드레인 영역(255)을 형성하면서 표면에 존재하는 불순물을 제거한다. 이때, 상기 익스-시츄는 통상적인 인시츄(in-situ)와 반대되는 개념으로서, 소오스/드레인 영역이 손상되는 것을 방지하기 위해, -100V 이하의 저전압 DC바이어스를 이용하여 진행한다. 또한, 상기 스퍼터링으로 인해 기판 상의 도전 영역을 이루고 있는 게이트 전극 및 소오스/드레인 영역 으로부터 실리콘이 다시 스퍼터링되어 절연 영역을 오염시키는 것을 최소화하기 위해 아르곤(Ar) 기체만을 사용하여 분위기를 조성한다.

<42> 도 2c를 참조하면, 아르곤 기체만을 사용하여 실리콘이 스퍼터링되는 것을 최소화 할 수는 있으나, 완전하게 실리콘이 스퍼터링되는 것을 차단하지는 못한다. 이로 인해, 소오스/드레인 영역으로부터 실리콘이 인접한 게이트 전극의 스페이서 상으로 오염되면, 후속에 실리사이드이션되어 도전성을 띠게 되므로 쇼트성 불량을 일으키게 된다. 따라서, 상기 스퍼터링된 실리콘 및 산화물을 제거하기 위해 상기 결과물을 습식 세정한다. 상기 산화물은 HF용액에 의해 세정되며, 상기 실리콘은 HF 및 암모니아과수로 이루어진 SC1 용액에 의해 세정되므로, HF용액 및 암모니아과수를 조합하여 세정액으로 사용한다. 그러나, 상기 세정액은 스퍼터링된 산화물과 함께 필드 산화막 또한 식각하게 된다. 따라서, 필드 영역 상에 형성된 게이트 전극측벽의 스페이서 하부로 산화막이 침식되어 언더컷(258)이 형성된다.

- <43> 도 2d를 참조하면, 상기 결과물 상에 코발트를 증착하여 코발트층(260)을 형성한다. 코발트 이외에도 티타늄, 텅스텐 및 니켈 등을 증착할 수 있다. 상기 코발트층(260) 상에 상기 코발트의 산화를 방지하기 위해 티타늄 나이트라이드(TiN)를 증착하여 산화방지막(미도시)을 형성한다. 상기 코발트층(260) 상에 산화막이 형성되게 되면, 실리사이드이션이 일어나지 않아, 원하는 영역에 실리사이드막을 형성할 수 없다. 따라서, 산화방지막에 의해 산화막의 형성을 방지하게 된다.
- <44> 도 2e를 참조하면, 1차 급속 열처리(Rapid Thermal Processing; RTP, 이하, "RTP"라고 한다.)에 의해 상기 코발트층(260)의 금속물을 하부로 확산시킨다. 따라서, SBL 패턴에 의해 노출된 영역의 게이트 전극 및 소오스/드레인 영역과 같이 상부에 실리콘이 존재하는 영역과 접하여, 반응을 일으킴으로서 코발트 실리사이드막(270)을 형성한다. 상기 코발트층(260)은 하부에 실리콘이 존재하는 경우 반응에 의해 코발트 실리사이드를 형성하게 된다. 즉, SBL 패턴이 형성된 영역 및 스페이서나 필드 산화막과 같은 영역에는 실리콘이 존재하지 않으므로 반응이 발생하지 않아 증착된 금속물이 본래 형태 그대로 존재하게 된다.
- <45> 도 2f를 참조하면, 반응하지 않고 잔류하는 불필요한 코발트를 제거한 후, 상기 1차 RTP 공정 보다 높은 온도로 2차 RTP 처리하여 상기 코발트 실리사이드막(270)을 열적으로 안정화시킨다.
- <46> 도 2g를 참조하면, 상기 결과물 전면에 절연막(278)을 형성한다. 상기 제1 게이트 전극(230a) 및 제1 소오스/드레인 영역(250)의 일부와 제2 게이트 전극(230b)의 일부가 노출되도록 상기 절연막(278)을 선택적으로 식각하여 상기 액티브 영역의 상부에는 제1 콘택홀(280)을 형성하고, 상기 필드 영역의 상부에는 제2 콘택홀(290)을 형성한다.

<47> 도 2h를 참조하면, 상기 제1 콘택홀(280) 및 제2 콘택홀(290)을 매립하도록 금속물을 절연막 상부에 도포한다. 상기 도포된 절연막을 통상의 화학 기계적 연마(Cheical Mechanical Polishing: CMP, 이하, "CMP"라고 한다.) 방법에 의해 평탄화하며 상기 절연막(278)의 상부면이 노출되도록 식각하여 제1 콘택홀(280)을 매립한 제1 콘택 플러그(280a) 및 제2 콘택홀(290)을 매립한 제2 콘택 플러그(290a)를 형성한다.

<48> 상기 코발트 실리사이드막이 형성된 제1 및 제2 콘택 플러그와 같은 콘택이 형성된 반도체 소자는 잔류하는 불순물에 의해 불량이 발생하지 않으며, 연속적으로 균일하게 실리사이드막이 형성되어 전기적 특성이 일정하다. 또한, 상기 반도체 소자의 I_{sb} (stand by current)는 기존의 소자에 비해 10배 이상 낮게 나타났다.

【발명의 효과】

<49> 상술한 바와 같이 본 발명에 의하면, 반도체 기판에 트랜지스터를 형성하고 상기 결과물을 익스-시츄로 고주파 식각하여 이온주입법에 의해 불균일하게 형성된 소오스/드레인 영역을 균일하게 비정질화시키면서, 상기 결과물 상에 잔류하는 불순물을 세정한다. 상기 익스-시츄로 인해 스퍼터링된 실리콘은 습식 세정을 통해 제거한다.

<50> 이와 같이 고주파 스퍼터링을 한후, 습식 세정 공정을 진행함으로써, 금속 실리사이드막을 안정적으로 균일하게 형성할 수 있도록 처리할 수 있다. 따라서, 접촉 저항을 낮추어 소자의 구동 속도를 증대시킴으로서 성능을 향상시킬 수 있다.

<51> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으

로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

i) 반도체 기판에 상부면이 실리콘으로 이루어진 도전성 패턴 및 도전 영역을 형성하는 단계;

ii) 상기 결과물 상의 불순물을 제거하고 실리콘으로 이루어진 도전 영역의 표면을 균일화하기 위해 익스 시츄로 고주파 식각하는 단계;

iii) 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거하는 단계;

iv) 상기 세정된 결과물 상에 금속물을 증착하는 단계; 및

v) 상기 금속물과 실리콘을 반응시켜 실리사이드막을 형성하는 단계를 포함하는 반도체 소자의 실리사이드막 형성방법.

【청구항 2】

제1항에 있어서, 상기 고주파 식각은 상기 실리콘을 균일하게 비정질화시키도록 DC 바이어스 -100V 이하의 저전압에서 실행되는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

【청구항 3】

제1항에 있어서, 상기 고주파 식각은 실리콘이 재식각 되는 것을 최소화하도록 아르곤 분위기에서 진행되는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

【청구항 4】

제1항에 있어서, 상기 세정은 HF 및 암모니아과수를 포함하는 물질을 조합하여 자연산화막 및 스퍼터링된 실리콘을 제거하는 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 5】

제1항에 있어서, 상기 ii) 단계를 진행하기 전에 HF 계열의 세정액을 사용하여 자연산화막을 제거하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 6】

제1항에 있어서, 상기 도전 영역은 액티브 영역인 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 7】

제1항에 있어서, 상기 금속물은 코발트, 텅스텐 및 니켈로 이루어진 그룹 중 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 8】

제1항에 있어서, 상기 i) 단계를 진행하고 실리콘사이드 저지막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 9】

제1항에 있어서, 상기 금속물 상에 산화방지막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 실리콘사이드막 형성방법.

【청구항 10】

제9항에 있어서, 상기 산화방지막은 TiN로 이루어지는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

【청구항 11】

제1항에 있어서, 상기 실리사이드막은 2번의 열처리에 거쳐 형성되는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

【청구항 12】

제1항에 있어서, 상기 금속물과 실리콘을 반응시키고 미반응 금속물을 제거하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

【청구항 13】

제12항에 있어서, 상기 미반응 금속물은 과산화수소수 및 황산 계열의 물질을 조합하여 제거하는 것을 특징으로 하는 반도체 소자의 실리사이드막 형성방법.

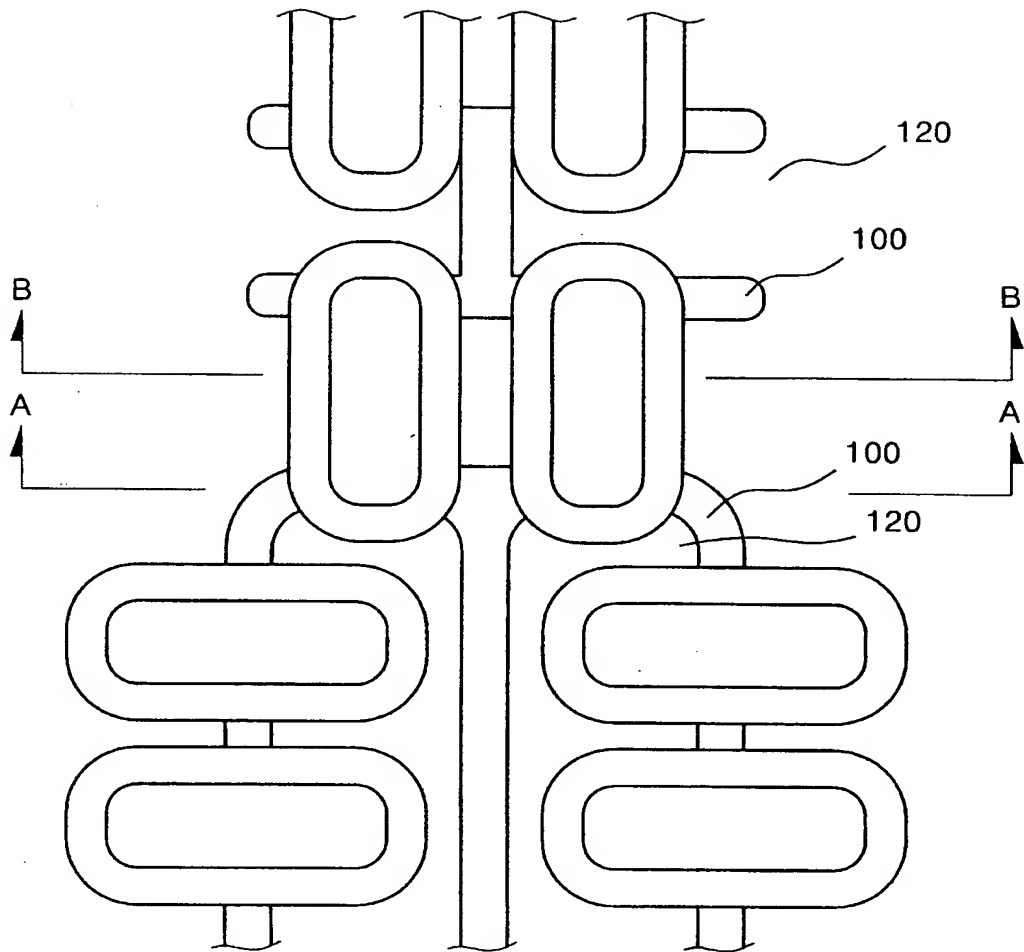
【청구항 14】

- i) 반도체 기판에 액티브 영역 및 필드 영역을 정의하는 단계;
- ii) 상기 액티브 영역 및 필드 영역에 걸쳐 게이트 전극을 형성하는 단계;
- iii) 상기 액티브 영역의 게이트 전극 양쪽 하부 기판 영역에 이온 주입법에 의해 소오스/드레인 영역을 형성하는 단계;
- iv) 상기 게이트 전극 양측벽에 스페이서를 형성하는 단계;
- v) 상기 결과물을 익스 시츄로 고주파 식각하여 상기 소오스/드레인의 실리콘을 균일하게 비정질화시키는 단계;

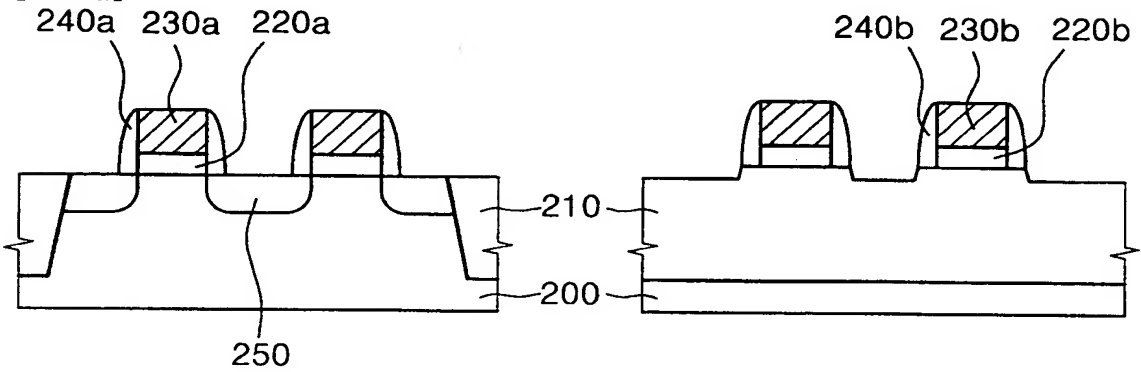
- vi) 상기 고주파 식각으로 생성된 잔류물을 세정하여 제거하는 단계;
- vii) 상기 세정된 결과물 상에 금속물 및 산화방지막을 증착하는 단계;
- viii) 상기 금속물과 실리콘을 1차 열처리하여 실리사이드막을 형성하는 단계;
- ix) 상기 1차 열처리에 의해 반응하지 않은 미반응 금속물 및 산화방지막을 제거하는 단계; 및
- x) 상기 실리사이드막을 2차 열처리하여 저항을 낮추고 안정화시키는 단계를 포함하는 반도체 소자의 실리사이드막 형성방법.

【도면】

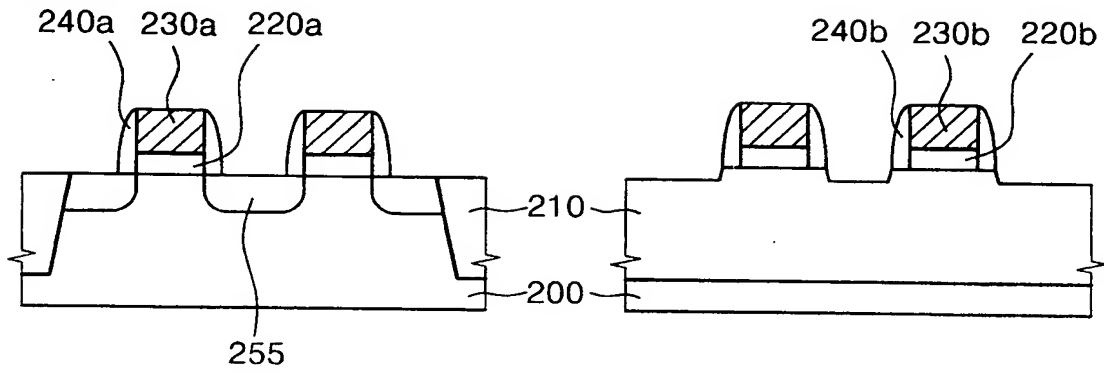
【도 1】



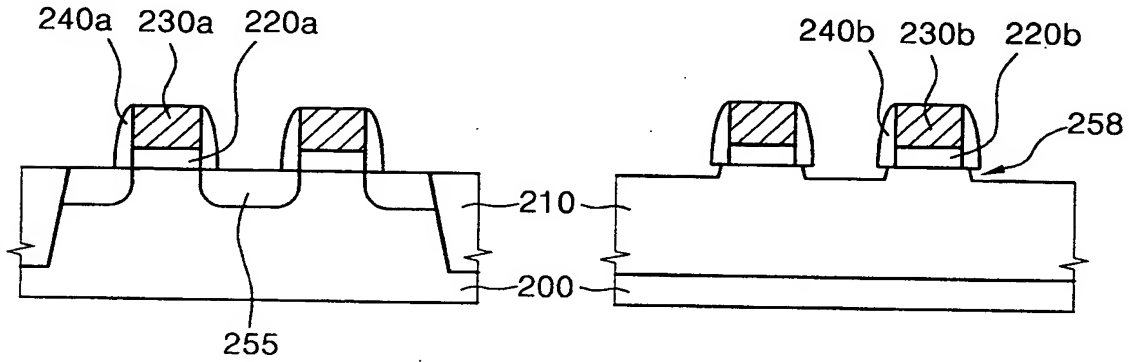
【도 2a】



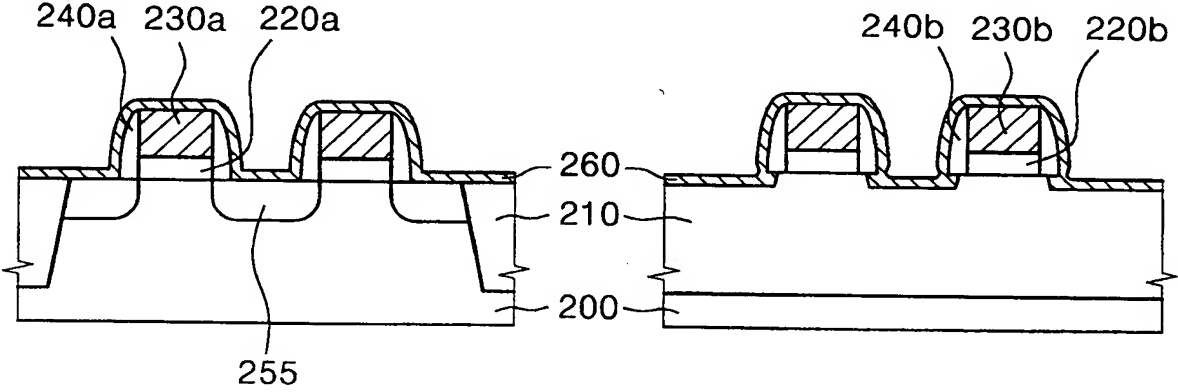
【도 2b】



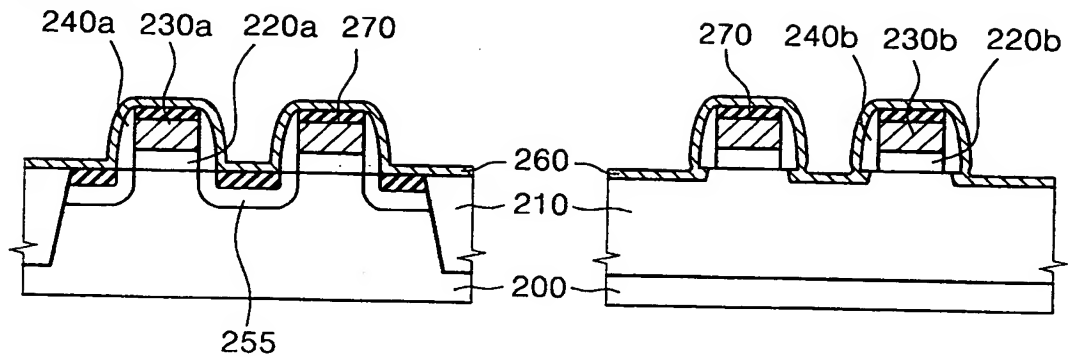
【도 2c】



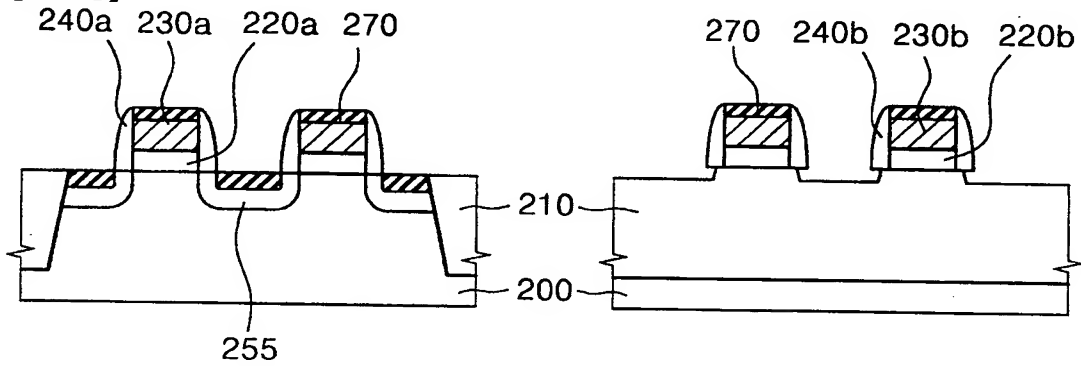
【도 2d】



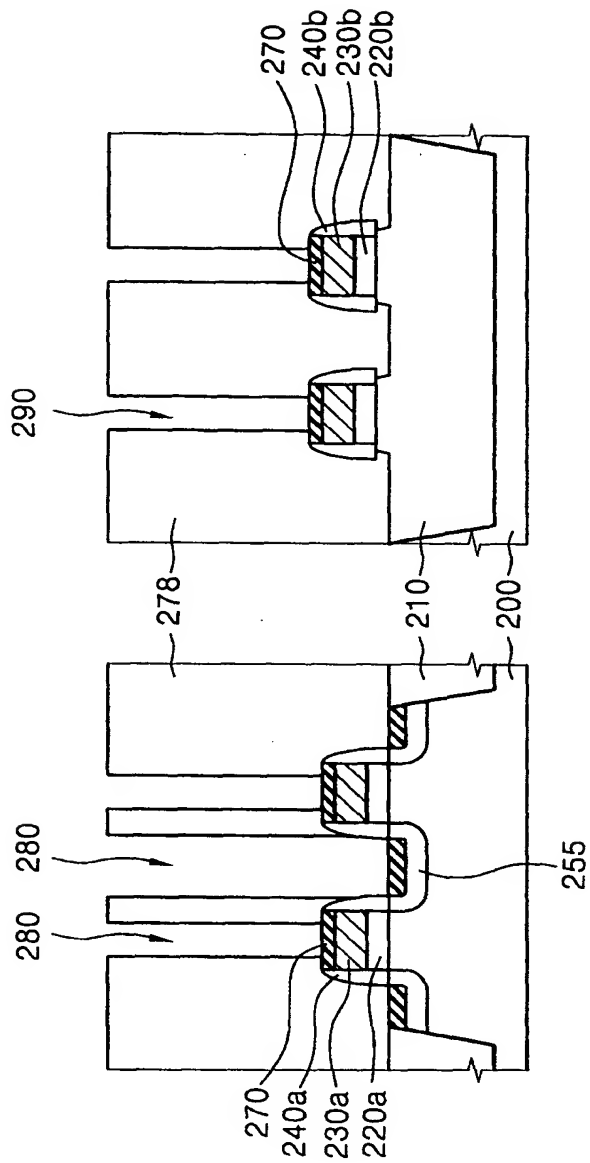
【도 2e】



【도 2f】



【도 2g】



【도 2h】

